

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-084455

(43)Date of publication of application : 25.03.1994

(51)Int.Cl.

H01J 9/02

G11B 9/00

H01J 37/28

// G01B 7/34

G01B 21/30

(21)Application number : 04-324605

(71)Applicant : CANON INC

(22)Date of filing : 11.11.1992

(72)Inventor : TAKAMATSU OSAMU
YANAGISAWA YOSHIHIRO
OKAMURA YOSHIMASA
SHIMADA YASUHIRO
NAKAYAMA MASARU

(30)Priority

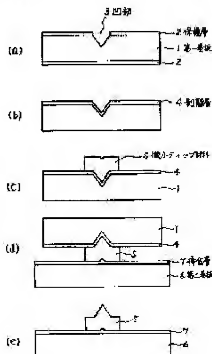
Priority number : 04209426 Priority date : 15.07.1992 Priority country : JP

(54) MICRO TIP, PROBE UNIT, MANUFACTURE THEREOF, AND SCANNING TUNNELING MICROSCOPE AND INFORMATION PROCESSING UNIT USING THEM

(57)Abstract:

PURPOSE: To provide a method of manufacture of a micro tip for use in a tunneling current detection device, a micro-force detection device and a scanning tunneling microscope, etc.

CONSTITUTION: A recessed portion 3 is formed by crystal orientation anisotropic etching in a first substrate 1 made of single crystal silicon and then a peeling layer 4 and a film of micro tip material which is precious metal or alloy are formed and a second substrate 6 is joined to the micro tip material 5 and is peeled by the peeling layer to form a micro tip on the second substrate 6. The first substrate having the recessed portion formed therein can thereby be used repeatedly as the female die of the micro tip, resulting in the enhancement of productivity and reduction in the manufacturing cost.



LEGAL STATUS

[Date of request for examination] 08.12.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3218414

[Date of registration] 10.08.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(11)特許出願公開番号

(48)公開日 平成6年(1994)5月25日

(S1)Int.C1*	驗證日期	序內整理番号	F 1	技術表示箇所
H 0 1 J	9/02	C	7354-5E	
G 1 1 B	9/00		9075-6D	
H 0 1 J	37/28	Z		
# G 0 1 B	7/34	Z	9108-2F	
	21/30	Z	9108-2F	

審査請求 未請求 請求項の範囲14(全 15 頁)

(21) 出願番号	特願平4-32405	(71) 出願人	000001007 キヤノン株式会社
(22) 出願日	平成 4 年(1992)11月11日	(72) 発明者	高松 隆 東京都大田区下丸子 3 丁目30番 2 号 キヤノン株式会社内
(31) 優先権主張番号	特願平4-20426	(73) 発明者	横沢 芳博 東京都大田区下丸子 3 丁目30番 2 号 キヤノン株式会社内
(32) 優先日	平 4 (1992) 7 月16日	(74) 代理人	弁理士 豊田 敏雄 (外1名)
(33) 優先権主張国	日本 (JP)		

最終頁に続く

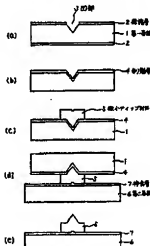
김제 11 호증의 1

(54)【発明の名称】 微小チップ、プローブユニット、及びこれらの製造方法、及びこれらを用いた走査型トンネル顕微鏡並びに情報記憶装置

【目的】 トンネル電流検出装置、微小力検出装置及び走査型トンネル顕微鏡等に用いられる微小タイプの製造方法を提示する。

【明成】 窒化シリコンから成る第一基板1に乾膜蝕食方性エッチングにより図部3を形成した後、制御層4、食金層又は食金層合金の微小ティップ材料5を成膜し、この微小ティップ材料5に第二基板6を接合し、制御層4で剥離を行い第二基板6上に微小ティップを形成する。

【効果】 凹部を形成した第一基板は微小チップの封型として繰り返し使用でき、生産性が向上し製造コストが低減される。



【特許請求の範囲】

【請求項1】 トンネル電流又は微小力検出用微小タイプ

の製造方法であって、

(a) 第一基板上の凹部に凹部を形成する工程

(b) 前記凹部を含む第一基板上に制御層を形成する工程

(c) 前記凹部を含む制御層上に微小タイプ材料を形成する工程

(d) 前記凹部を含む制御層上の微小タイプ材料を第二基板上に接合する工程

(e) 前記制御層と第一基板、或いは前記制御層と微小タイプ材料の界面で剥離を行い第二基板上に微小タイプ材料を得る工程

少なくとも上記(a)～(e)の工程を有することを特徴とする微小タイプの製造方法。

【請求項2】 前記第二基板上には、信号増幅回路が形成されていることを特徴とする請求項1に記載の微小タイプの製造方法。

【請求項3】 前記第一基板上に導電性基層を用い、結晶軸方向エッチングで凹部を形成することを特徴とする請求項1又は2に記載の微小タイプの製造方法。

【請求項4】 前記微小タイプ材料が金属又は合金組成物であることを特徴とする請求項1～3のいずれかに記載の微小タイプの製造方法。

【請求項5】 請求項1～4のいずれかに記載の微小タイプの製造方法により製造したことを特徴とする微小タイプ。

【請求項6】 トンネル電流又は微小力検出用微小タイプと制御微小タイプを位置させるための圧電素子を含むカンチレバーを導電性基板上に設けて成るプローブユニットの製造方法であって、

(a) 前記導電性基層の凹部に結晶軸方向エッチングで凹部を形成する工程

(b) 前記凹部を含む導電性基板上に微小タイプ材料を形成する工程

(c) 前記凹部を含む微小タイプ材料上に圧電素子を形成する電極及び圧電層を形成する工程

(d) 前記導電性基層を結晶軸方向エッチングで加工することにより導電性上に前記微小タイプ材料と圧電素子から成るカンチレバーを形成する工程

少なくとも上記(a)～(d)の工程を有することを特徴とするプローブユニットの製造方法。

【請求項7】 請求項6に記載のプローブユニットの製造方法により製造したことを特徴とするプローブユニット。

【請求項8】 請求項7に記載のプローブユニット、該プローブユニットを位置させるための駆動手段、該駆動手段を制御する制御手段、前記タイプと制御微小タイプの両者の電圧を制御する手段及びタイプと制御微小タイプの間に電圧を印加する手段を具備することを特徴とする

装置型トンネル顕微鏡。

【請求項9】 請求項7に記載のプローブユニット、該プローブユニットを位置させるための駆動手段、該駆動手段を制御する制御手段、前記タイプと制御微小タイプの両者の電圧を制御する手段及びタイプと制御微小タイプの間に電圧を印加する手段を具備することを特徴とする情報処理装置。

【請求項10】 前記電圧印加手段が、バース電圧印加手段であることを特徴とする請求項9に記載の情報処理装置。

【請求項11】 前記電圧印加手段が、バイアス電圧印加手段であることを特徴とする請求項9に記載の情報処理装置。

【請求項12】 前記制御手段が、固体とタイプとの間に流れるトンネル電流の検出結果に基づき、プローブユニットのカンチレバーを位置させるためのバイアス電圧を位置させ、その信号をカンチレバーを構成する電極に付与するものであることを特徴とする請求項9又は10に記載の装置型トンネル顕微鏡又は情報処理装置。

【請求項13】 前記制御手段が電気メモリ装置を有することを特徴とする請求項9に記載の情報処理装置。

【請求項14】 前記制御手段の制御が非揮発性であることを特徴とする請求項9に記載の情報処理装置。

【発明の詳細な説明】

【0001】

【背景技術】本発明は、トンネル電流検出装置、微小力検出装置、並びに装置型トンネル顕微鏡等に用いられる微小タイプ、プローブユニット及びこれらの製造方法に関する。

【0002】さらに本発明は、上記プローブユニットを備えた装置型トンネル顕微鏡、及び装置型トンネル顕微鏡の手法により情報の記録、再生、消去等を行う情報処理装置に関する。

【0003】

【従来の技術】近年において、導体の表面原子の電子構造を直接観測できる装置型トンネル顕微鏡(以下、STMと略す)が開発され(G. Binnig et al., Phys. Rev. Lett. 49 (1982) 57)、単結晶、多結晶を問わず真空中で非常に高い分解能(ナノメートル以下)で測定できるようになった。かかるSTMは、金属のチップ(探針)と導電性物質の間に電圧を加えて、1nm程度の距離まで近づけると、その間にトンネル電流が流れることを利用している。この電流は両者の距離変化に非常に敏感でかつ極端に鋭敏に変化するので、トンネル電流を一定に保つようにチップを走査することにより両者の距離測定と原子オーダーの分解能で観測することができる。このSTMを用いた探針は導電性材料に限られるが、導電性材料の表面に強く形成された絶縁膜の構造解析にも応用され始めている。更に、上述の探針、手段は微小損傷を検知

する方法を用いているため、媒体に損傷を与えず、かつ電圧で制御できる利点をも有する。また、大気中での動作も可能であるためSTMの広範な応用が期待されている。

[0004] 例えば、このSTMの手法を用いて、半導体あるいは高分子材料等の原子オーダー、分子オーダーの観察評価、微細加工(E. E. Ehrlich, Proceedings of 4th International Conference on Scanning Tunneling Microscopy/Spectroscopy, 89, 613-9)、及び記録装置等の様々な分野への応用が期待されている。[0005] などでも、コンピュータの計算性能や映像伝送等では大得意を有する記録装置の要求が益々高まっており、さらに、半導体プロセス技術の進展によりマイクロプロセッサが小型化し、計算能力が向上したことから記録装置の小型化が望まれている。

[0006] これらの要求を満たす目的で、記録媒体との間隔が微細可能な運動手段上に存在するトンネル電流発生用プローブからなる記録頭から電圧印加することによって記録媒体表面の凹凸状態を変化させ、記録書き込みし、また、伝導率の増大によるトンネル電流の変化を検出して、情報の読み出しを行う、記録再生装置が提案されている。

[0007] この記録再生装置に用いられるSTMプローブとしては、たとえばスタンフォード大学のクウェートにより提案された微小炭素原子を用いたSTMプローブ(IEEE Micro Electric Mechanical Systems, pp. 189-193, Feb. 1990)がある。これは低圧のフォトリソグラフィの手法及び蒸着法、エッチング技術を用いてシリコン基板上に形成された開口部上に電極と伝電体の薄膜を覆ったバヨムボウのカンチレバーを形成したものであり、このカンチレバーの上端自由端部にトンネル電流検出用の微小チップを取り付け、良好なSTM像を得ている。

[0008] 上記微小チップは、原子、分子オーダーの微細観察や高い記録密度を達成するために伝電体の曲率半径が小さいことが要求される際に、記録、再生システムの微細化向上、特に高速度化の観点から、多数のチップを同時に駆動すること(プローブのマルチ化)が提案され、このために同一基板上に作製された複数の微小プローブの高さや先端曲率半径等の特性の異なるチップが求められている。

[0009] 従来、上記のような微小チップの形成方法として、半導体製造プロセス技術を使いシリコンの異方性、等方性エッチングにより形成した微小チップが記載されている(特開第5-137702号公報)。この微小チップの形成方法は、図15に示されるように、まず無結晶シリコン111を用いて異方性または等

方性エッチングによりトレント114を除去、このトレントチップの表面に、次に全面にSiO₂115、C、SiN、SiO₂などを堆積し、片持ち梁116をバタニング化した後、カンチレバー下のシリコンをエッチング除去することにより上述した材料からなるカンチレバー状プローブ116を得ている。

[0010] また、図16(a)に示されるように、たとえば基板121上の記録層を円形にバタニングし、それをマスク122にして基盤材料をエッチングし、サイドエッチングを利用してタイプ123を形成する方法。または、図16(b)に示されるように、型パターンをつけたレジスト開口部124に基板121を固結させるが導電性材料をめくれ出し、リフトオフすることによりタイプ123を形成する方法等がある。

[0011] 発明が解決しようとする課題] しかしながら、図15に示したような従来例の微小チップの製造方法は以下のような問題を有している。

・カンチレバー状プローブの製造となったシリコン基板は、微細加工でエッチング除去されてしまうため生産性が低く、製造コストが高くなる。

・カンチレバー状プローブ上に導電性材料を被覆してSTMのプローブとする場合には、プローブの最先端部は腐蝕に形成されるため損傷されにくく、トンネル電流という微弱な電流を取り扱うSTMでは安定な特性を維持することは難しい。

・トレントを設けた部分の摩擦係数S1はエッチングにより除去されるため、トンネル電流等を検出して得られた信号を機械的な伝達手段に伝達するための記録層形成するが困難である。また、図15に示したような従来例の微小チップの製造方法では、チップを形成する際のレジストのバタニング条件や、材料のエッチング条件を一定にするのが困難であり、形成される複数の微小チップの高さや先端曲率半径等の正確な形状を維持するが困難であった。

[0012] 従って、本発明の目的は、生産性を向上させ製造コストを低減でき、また先端が鋭利に形成でき、かつ均一な形状を維持する微小チップ及びプローブユニットの製造方法を提供することにある。

[0013] 更に、本発明の目的は、上記製造方法により得られたプローブユニットを備える産業型トンネル顕微鏡並びに情報処理装置を提供することにある。

[0014] 課題を解決するための手段及び作用] 本発明の微小チップの製造方法によれば、記録を形成した第一基板上に制御層、続いて微小チップ材料を形成した第二、この微小チップ部を第二基板上に接合し、続いて記録層から利き材料が微小チップ部を第二基板上に転写することにより微小チップを製造するものである。このため、記録を形成した第一基板は繰り返し使用できる

め、生産性の向上、製造コストの低減ができる。

【0015】即ち、本発明第1は、トンネル電流又は微小力検出用微小チップの製造方法であって、

(a) 第一基板の表面に凹部を形成する工程
(b) 前記凹部を含む第一基板上に制御層を形成する工程

(c) 前記凹部を含む制御層上に微小チップ材料を形成する工程

(d) 前記凹部を含む制御層上の微小チップ材料を第二基板に接合する工程

(e) 前記制御層と第一基板、或いは前記制御層と微小チップ材料の界面で制御層を行い第二基板上に微小チップ材料を転写する工程

少なくとも上記(a)～(e)の工程を有することを特徴とする微小チップの製造方法であり、更には、この製造方法により製造される微小チップである。

【0016】また、本発明第2のブローユニットの製造方法によれば、結晶軸異方性エッチングにより凹部を形成した単結晶基板上に微小チップ材料、続いて圧電素子材料を形成した後、前記基板を加工して微小チップ材料と圧電素子から成るカンチレバーを基板上に形成することによりブローユニットを製造するものである。このため、微小チップの凹部と凹部間の距離が短くなり、また第一基板上に形成された場合とは形状の異なるものとなり、その結果、得られるブローユニットは特性の異なるものとなる。

【0017】即ち、本発明第2は、トンネル電流又は微小力検出用微小チップと微小チップを互位させるための圧電素子を有するカンチレバーを単結晶基板上に設けて成るブローユニットの製造方法であって、

(a) 前記単結晶基板の表面に結晶軸異方性エッチングで凹部を形成する工程

(b) 前記凹部を含む単結晶基板上に微小チップ材料を形成する工程

(c) 前記凹部を含む微小チップ材料上に圧電素子を形成する工程及び圧電層を形成する工程

(d) 前記単結晶基板を結晶軸異方性エッチングで加工することにより該基板上に前記微小チップ材料と圧電素子から成るカンチレバーを形成する工程
少なくとも上記(a)～(d)の工程を有することを特徴とするブローユニットの製造方法であり、更には、この製造方法により製造されるブローユニットである。

【0018】また、本発明第3は上記本発明第2のブローユニット、該ブローユニットを互位させるための駆動手段、駆動手段を制御する制御手段、該ブローと接触すべき制御媒体又は制御媒体との距離を調整する手段及びブローと制御媒体の間に電圧を印加する手段を具備することを特徴とする定常型トンネル電流及び微小力検出装置であり、また、上記電圧印加手段がバ

ス電圧印加手段或いはバイアス電圧印加手段である上記情報処理装置であり、更には、上記制御手段が、媒体とブローとの間に流れるトンネル電流の検出頻度に基づき、前記カンチレバーを互位させるためのバイアス電圧を決定させ、その定常型カンチレバーを構成する電圧に付するものであることを特徴とする上記定常型トンネル電流検出及び微小力検出装置であり、また更には、上記制御媒体が電気モリヤ熱電を有するもの、或いは制御媒体の表面が非導電性であることを特徴とする上記情報処理装置である。

【0019】次に、図面を用いて本発明を詳細に説明する。

【0020】図1は本発明第1の微小チップの製造方法の主要工程を示す断面図である。

【0021】図1(a)に於いて、まず第一基板1を用いる。この第一基板1としては、単結晶シリコン、GaAs、半導体等の結晶軸異方性エッチング可能な材料を用いることができる。

【0022】続いて、第一基板1上に保護層2を形成する。保護層2は加工工程で第一基板1を結晶軸異方性エッチングする時の保護層であるから、この時のエッチングに耐えるものならば良い。続いて保護層2の表面の場所をフォトエッチングにより除去し第一基板表面を露出させる。続いて第一基板を結晶軸異方性エッチングにより加工し、逆ピラミッド状の凹部3を形成する。続いて保護層2をエッチングにより除去する。

【0023】次に図1(b)に示すように、凹部3を含む第一基板1上に制御層4を形成する。制御層4は加工工程で微小チップ材料の制御層に用いられるものであるため、材料を適宜に選ぶ必要がある。例えば、第一基板1と制御層4との界面から制御層4は第一基板1と制御層4との密着性が良くない必要がある。また、制御層4と微小チップ材料との界面から制御層4は制御層4との密着性が良くない必要がある。

【0024】次に図1(c)に示すように、凹部3を含む第一基板1上に微小チップ材料5をパターニングして形成する。微小チップ材料5としては、導電性の高い金属材料が必要であり、より好ましくは貴金属または貴金属合金が良い。

【0025】このことにより、STMブローとして用いた場合に再接触の低い安定な特性を得ることが出来る。

【0026】次に図1(d)に示すように、第二基板6上に形成した接合層7と第一基板1上に形成した微小チップ材料5とを接合する。接合には、金銀一金属間接合、層間接合等を用いることができるが、STMに利用する場合には取り出し距離が必要なため接合層7に金属材料を用いることが望ましい。

【0027】次に図1(e)に示すように、第一基板1と制御層4との界面、または制御層4と微小チップ材

部5との距離から引き制することにより微小チップ材料を第二基板上に配列することにより微小チップが製造できる。ただし、第一基板1と制御層4との界面で制御層4の場合は、微小チップ材料5上の制御層4を除去する必要がある。

【0028】なお、制御層2、制御層4、微小チップ5、接合層7の形成方法としては、従来公知の技術、例えば半導体産業で一般に用いられている蒸着法やスパッタ法、化学気相成長法等の薄膜形成技術やフォトリソグラフィ技術及びエッチング技術を適用することによって、その作製方法は本発明第1を制限するものではない。

【0029】また、本発明第1においては、前記の第二基板に、カンチレバー部を予め形成しておくことにより、カンチレバー型プローブを容易に作製することができる。

【0030】更に、前記の第二基板に、1軸、2軸あるいは3軸駆動可能なアクチュエーターを有するカンチレバー部を予め形成しておくことにより、微小チップを相互に駆動可能なプローブユニットを容易に作製することができる。

【0031】更にまた、前記の第二基板に、配線やトランジスタなどを含む導電性薄膜素子を予め形成しておくことにより、トンネル電流等を検知して得られた信号を伝送することが可能なプローブユニットを容易に作製することができる。

【0032】図9は、本発明第2によるプローブユニットの斜視図である。本発明第2のカンチレバー型プローブは、基底基板81に形成された開口部上に圧電素子バイモルフあるいは圧電体バイモルフまたはその他の薄膜手段を持つカンチレバー（片持ち梁）52が配設される（図9は圧電体バイモルフの例を示している）。その先端部にトンネル電流用チップ50が作製されている。

【0033】圧電体バイモルフ駆動の場合、カンチレバー52上には、圧電層53a、53bに電圧を印加するための電極54a、54b、54cが積層されている。この構成により圧電素子としてカンチレバー52を駆動させ、トンネル電流用チップ50を走査することができる。

【0034】カンチレバー先端のチップ50は、基底基板8の表面に結晶軸異方性エッチングにより凹部を形成し、該凹部に導電性材料を堆積させることにより作製される。

【0035】図9に示したような本発明第2のプローブユニットの作製工程を、図10を用いて説明する。

【0036】まず、シリコン（100）基板81に、マスク層55、56を積層し、基板81のマスク層56を内部から1/4正方向にエッチングしてエッチング開口部57を形成した後、結晶軸異方性エッチングにてシリコン片を逆ピラミッド形状にエッチングして基底凹部

58を形成する（図10（a）参照）。次に、基底凹部のマスク層56を除去し、再び凹部のマスク層56を形成し、導電性材料を堆積して下電極54a、トンネル電流用チップ53及びトンネル電流用配線59とを形成する（図10（b）参照）。次に、圧電層53a、53bと電極54b、54cよりなる駆動部分を形成する（図10（c）参照）。さらに、基底凹部マスク層56にバックエッチング開口部59を形成し、表面をシールした後、結晶軸異方性エッチングにてシリコン基板81をエッチングし、凹部マスク層56のレジストレンを形成する。最後に、基底凹部マスク56を基底基板からエッチングし、カンチレバー52形状とする（図10（d）参照）。

【0037】アルカリ性エッチング液による単結晶シリコンの結晶軸異方性エッチングは、シリコン（111）面のエッチングレートがほとんど0であるため、この方法で形成された凹部はシリコン（111）等価面で囲まれたピラミッド形状をしており、その深さはエッチングマスクの形状及び大きさで一面的に決まる。また、先端の角部はマスク形状によらず一様である。このため、基板上に複数のチップを形成する場合、その形状を一様にすることができる。

【0038】圧電体層と電極層からなる圧電素子の製造方法は既知のフォトリソグラフィ技術、蒸着法やスパッタリング法等の成膜技術が用いられ、その方法は本発明第2を制限するものではない。

【0039】本発明第2のプローブユニットは、さらに半導体プロセスと一体化して同一基板上にトンネル電流用のチップ付きカンチレバーのみならず、トンネル電流を増幅化するアンプ、カンチレバー駆動用トンネル電流の選択のためのマルチプレクサ、シフトレジスタ等を構築している。

【0040】また、本発明は上記のプローブユニットを用いたSTM装置や、配線装置、再生装置、記録再生装置等の情報処理装置を含み、このような装置は、信頼性の高い、高速処理可能な装置となる。

【0041】【実施例】以下、本発明を実施例を用いて詳細に説明する。

【0042】実施例1

本実施例では図1に示したような製造工程により本発明第1の微小プローブを作製した。以下、製造方法を説明する。

【0043】まず、併設層2として熱酸化膜が5000Å形成されたシリコンエポキシを第一基板1として用意する。続いて併設層2の表面の露出部を、フォトリソグラフィとエッチングによりエッチングして矩形に300nm四方のシリコンを露出した。水酸化カリウム水溶液を用いた結晶軸異方性エッチングにより凹部3を形成した。なお、エッチング条件は、温度27%のKOH水溶液を用

い、液温80℃、エッチング時間は20分とした。このとき(111)面で磨かれた膜ささ、6μmの逆ピラミッド状の凹部3が形成された(図1(a)参照)。

【0044】次に乾燥させた後、熱酸化処理をHF: NH₄F=1:5希液中で全膜除去した。続いて、図2(b)を食む第一基板1上に制御層4として、Crを真空蒸着法により全面に800Å成膜した(図1(b)参照)。

【0045】次に微小タイプ材料5として金を真空蒸着法により、全面に成膜しフォトリソグラフィとエッチングによりパターン形成を行った。なお、このときの金の膜厚は4.0μmとした(図1(c)参照)。

【0046】次に第二基板6として#7059フエージングガラスを用いた。この表面に接合層7としてAlを1.0μm真空蒸着法により、全面に成膜しフォトリソグラフィとエッチングによりパターン形成を行った。続いて、第一基板1上の微小タイプ材料5と第二基板6上の接合層7とを位置合わせし、接合を行った。なお接合は、N₂雰囲気中で温度300℃で1時間放置した。これによりAl-Au合金が形成される微小タイプ材料5と接合層7が接合した(図1(d)参照)。

【0047】次に第一基板1と第二基板6とを引離した。この時、制御層4と微小タイプ材料5との界面で剥離することにより微小タイプを製造した(図1(a)参照)。

【0048】次に、上述した方法により作製した微小タイプをSEM(主歪型電子顕微鏡)で観察したところ、先端が鋭利に形成されているタイプを確認した。なおタイプの先端曲率半径は0.03μm、高さは1.0μmであった。

【0049】実施例2

本実施例では図2に示されるような製造工程により本実施例1の微小タイプを作製した。以下、製造方法を説明する。

【0050】まず、制御層2として熱融比抵抗が5000Å形成されたシリコンウエハを第一基板1として用意する。続いて制御層2の所定の箇所を、フォトリソグラフィとエッチングによりパターン形成し毎分10μm平方のシリコンを露出した。続いて、水酸化カリウム水溶液を用いた熱融比抵抗エッチングにより凹部3を形成した。なお、エッチング条件は、濃度27%のKOH水溶液を用い、液温80℃、エッチング時間は25分とした。このとき(111)面で磨かれた膜ささ、1μmの逆ピラミッド状の凹部3が形成された(図2(a)参照)。

【0051】次に制御層2である熱融比抵抗をHF: NH₄F=1:5希液中で全膜除去した。続いて、図2(b)を食む第一基板1上に制御層4として、Agを真空蒸着法により全面に700Å成膜した(図2(b)参照)。

【0052】次に微小タイプ材料5として#10、3μm、N15μm、Au1μmを電子ビーム蒸着法によ

り、連続して全面に成膜しフォトリソグラフィとエッチングによりパターン形成を行った(図2(c)参照)。

【0053】次に第二基板6としてシリコンウエハを用意し、この表面に接合層7としてAlを1.0μm真空蒸着法により、全面に成膜しフォトリソグラフィとエッチングによりパターン形成を行った。続いて、第一基板1上の微小タイプ材料5と第二基板6上の接合層7とを位置合わせし、接合を行った。なお接合は、N₂雰囲気中で温度300℃で1時間放置した。これによりAl-Au合金が形成される微小タイプ材料5と接合層7が接合した(図2(d)参照)。

【0054】次に第一基板1と第二基板6とを引離した。この時、制御層4と第一基板1との界面で剥離した。続いて、微小タイプ上の制御層4であるAgを特製水溶液を用いて除去することにより微小タイプを製造した(図2(a)参照)。

【0055】次に、上述した方法により作製した微小タイプをSEMで観察したところ、先端が鋭利に形成されているタイプを確認した。なおタイプの先端曲率半径は0.04μm、高さは1.3.5μmであった。

【0056】実施例3

プローブをマルチにし、タイプ材料をバラバラに置き、またこれはすべて実施例2と同様にしてタイプを作製した。プローブはマトリックス状に配置し、100個とした。向プローブ間のピッチは200μmとした。こうして作製した複数のタイプのSEMで観察したところ、各タイプの高さは1.3.5μm±0.1μm、先端曲率半径は0.03μm±0.01μmのバラバラ内に収まっており、マルチにした場合に形状の揃ったタイプが得られることがわかった。

【0057】実施例4

本実施例では、本実施例1の微小タイプをカンチレバー上に形成した。以下、製造方法を図3を用いて説明する。

【0058】まず、制御層2として熱融比抵抗が5000Å形成されたシリコンウエハを第一基板1として用意する。続いて制御層2の所定の箇所を、フォトリソグラフィとエッチングによりパターン形成し毎分10μm平方のシリコンを露出した。続いて、水酸化カリウム水溶液を用いた熱融比抵抗エッチングにより凹部3を形成した。なお、エッチング条件は、濃度27%のKOH水溶液を用い、液温80℃、エッチング時間は20分とした。このとき(111)面で磨かれた膜ささ、5.6μmの逆ピラミッド状の凹部3が形成された(図3(a)参照)。

【0059】次に制御層2である熱融比抵抗をHF: NH₄F=1:5希液中で全膜除去した。続いて、図2(b)を食む第一基板1上に制御層4として、Crを真空蒸着法により全面に800Å成膜した(図3(b)参照)。

【0060】次に微小タイプ材料5として金を真空蒸

第3により、全面に成膜したフォトリソグラフィとエッチングによりパターン形成を行った。なお、このときの金の膜厚は4.0 μm とした(図3(c)参照)。

【0061】次に、第二基膜を形成する。この第二基膜としては、単結晶シリコン基板上に片持ち厚10 μm として熱酸化膜を1.5 μm 、接合層7としてA1を0.5 μm を成膜した。続いて、フォトリソグラフィとエッチングにより片持ち厚10 μm と接合層7を片持ち厚にパターン形成を行った。この時、片持ち厚の寸法は幅50 μm 、長さ500 μm とした。尚、片持ち厚10 μm を成膜した上で、あらかじめ片持ち厚が形成される場所の表面のシリコンを一層エッチング処理し、シリコンパレンスを形成しておく。続いて、第一基膜1上の微小タイプ材料5と第二基膜であるところの単結晶シリコン基板上の接合層7とを位置合わせし、接合を行った。なお接合は、N₂雰囲気中で温度300℃で1時間加熱した。これによりA1-Au合金が形成され微小タイプ材料5と接合層7が接合した(図3(d)参照)。

【0062】次に第一基膜1と第二基膜とを引き剥した。この時、制御層4と微小タイプ材料5との界面で剥離した。続いて、第二基膜の片持ち厚下部のシリコンパレンスをエッチング除去することにより片持ち厚が露出する(図3(e)参照)。

【0063】次に、上述した方法により作製した微小タイプをSEMで観察したところ、先端が鋭利に形成されているタイプを確認した。タイプの先端曲率半径は0.03 μm 、高さは10 μm であった。

【0064】実施例6

本実施例では実施例4のカンチレバーとして圧電/パイモルフ構造に3次元に共振可能とし、さらにトンネル電流の増幅やカンチレバーの近接距離等の信号増幅効果等をカンチレバーと同一基板上に形成した本実施例1の微小タイプを該カンチレバー上に形成した。以下、製造方法を図4～図7を用いて説明する。

【0065】作製工程としては制御層工程、微小タイプ除去工程、基膜形成工程という順になる。

【0066】まず、信号増幅距離決まるカンチレバーが一体となった第二基膜を作製する図5の制御層及びカンチレバー工程を説明する。信号増幅用のデバイスとしてCMOSトランジスタを用いる。基板11としてNタイプ、厚方位(100)、比抵抗1~2 $\Omega\cdot\text{cm}$ のシリコンウェハを用い、インプラマスク層として熱化膜を用い熱処理12を7000Å成膜し、Pウエル領域13を除去しバックアニー等として熱化膜で熱酸化膜を1000Å成膜する。イオンインプラ装置でBイオンをインプラし、結晶層を用いて150℃の炉中で60分間加熱しPウエル領域13を形成する(図4(a)参照)。次に、酸化膜12を全面剥離し、熱酸化膜を500Å成膜した後にLPCVD装置でシリコンナイトライド層6を

000Å成膜する。NMOS、PMOSが形成される領域にのみシリコンナイトライド層を形成し、レジスト工程後、PチャンネルカソードのためのP(リン)イオンをインプラし、同じレジスト工程後、NチャンネルカソードのためのB(ボロン)イオンをインプラする。熱化膜を用い熱酸化膜を5000Å成膜しLOCOS(Local Oxidation Silicon)層14を形成する。シリコンナイトライド層をLOCOS層14以外の酸化膜を除去すると図4(b)を得る。次に、熱化膜を用い熱酸化膜を350Å成膜しゲート層15を形成し、MOSのしきい電圧(V_{th})をコントロールするためのPイオンを全面にインプラする。LPCVD装置によりPolysil1を5400Å成膜し、インプラ装置により全面にP(リン)イオンをインプラする。次に、表面のPolysil1を除去し、酸処理にて950℃30分間のアニールを行い、Polysil1をパターンニングエッチング後にPolysil1を酸化し、ゲート電極16を形成すると図4(c)を得る。ここで、カンチレバー領域は表示していないがPMOS領域と同じ構成になっている。次に、レジストをパターニングし、A系イオンをインプラしNMOSトランジスタのソース、ドレイン17を形成し、同じレジストをパターニングし、B系イオンをインプラしPMOSトランジスタのソース、ドレイン18を形成する。その後、酸処理にて1000℃、60minのアニールをし、常圧CVD装置でPSG(ボロン、リン、シリコン酸化膜)を7000Å成膜し層間絶縁層19を形成し、950℃、240minのアニールを行うと図5(a)を得る。

【0067】図5(b)は図5(a)と同一工程までのNMOSとカンチレバー領域を示す。以後は、カンチレバー領域とNMOSの状態を工程に現った面を用いて説明する。

【0068】次に、信号増幅用のトランジスタ等と配線のコンタクトをとるため、パターニングしBPSG層19とゲート層15を除去してコンタクトホールを形成する。スパッタ装置によりA1-Si膜を成膜し、パターニングエッチングし制御層20を形成する。次に、カンチレバー領域のBPSG層19とゲート層15を除去し図6(a)を得る。さらに、プラズマCVD装置にてSiCN膜を5000Å成膜し、熱処理21を形成する(図5(d)参照)。

【0069】カンチレバー部形成後に表面からSi基盤11を両方エッチングしカンチレバー部領域をメンブレン状態にする(図6(e)参照)。

【0070】次に、カンチレバーを構成する各層を除去する。下層膜22として高導電層によりC₆₀を20Å、Auを1000Åリフトオフ層により成膜し、スパッタ装置で区画膜23としてZnOを5000Å成膜後に、同じリフトオフ法にてAuを5000Å成膜、スパッタ装置でZnOを5000Å、リフトオフ法にて

Auを1000Å成膜し3層の電極層2と2層の圧電層23のバイモル膜形成のカンテレー層が形成される(図6(b)参照)。

[0071] 次に、カンテレー層側の電極と発光部電極の電極を接続するために圧電層23の一部をエッチング除去しコンタクトホールを形成する。因層膜の方も最底層21の一部をエッチング除去しコンタクトホールを形成し、リフトオフ法にてA1を成膜し有機電極層24を形成する。続いて、微小チップ工程として実施例4と同様に真鍮箔法により第一基板1上に形成した金から成る微小チップ材料5と、第二基板11上のカンテレー層電極層22とを位置合わせし、接合を行った(図6(c)参照)。なお、溶剤はN₂、雰囲気中で温度100℃で加熱することによって行われる。

[0072] 次に、第一基板1と第二基板11とを引合した。この時、剥離層4と微小チップ5との界面で剥離した。続いて、第二基板のカンテレー層下のシリコンプレテンとSiONを除去することによってカンテレー層微小チップを製造した(図7参照)。

[0073] 次に、上述した方法により作成した微小チップ5を6Eで観察したところ、先端が鋭利に形成されているチップを確認した。チップの先端半径等は0.03μm、高さは10μmであった。又、カンテレー層の形状は幅100μm、長さは350μmに形成された。幅、カンテレー層の形状は本発明を制御するものではない。

[0074] 実施例6

本実施例では実施例4の微小チップを用いたSTM装置を作製した。本装置のブロック図を図8に示す。而して、41はバイアス印加回路、42はトンネル電流増幅回路、43はXY2駆動用ドライバ、44はカンテレー層、45はプローブ、46は試料、47はXY2駆動用換子である。ここでプローブ45と試料46との間を流れるトンネル電流I_tを検出し、I_tが一定となるようにフィードバックをかけ、XY2駆動用換子47の2方向を駆動し、プローブ45と試料46との間隔を一定に保っている。更に、XY2駆動用換子47のXY2方向を駆動することにより試料46の2次元であるSTM像が得られる。この装置で試料46としてPtOPG(高配向性グラファイト) 試板の断面をバイアス電流1nA、スキャン速度100Å×100Åで観察したところ、再現性よく良好な原子像を得ることができた。

[0075] 実施例7

本実施例では図8に示したような本発明第2のプローブユニットを作製した。

[0076] この製造方法を図10の製造工程図を用いて説明する。

[0077] まず、真鍮板したn型シリコン(100)基板81に、マスク層55、56となる酸化シリコ

ンをCVD法にて500Å成膜し、カンテレー層先に相当する部分に直径8μmの内径開口部57をパターンニングした後、真鍮板側の酸化シリコン膜58をCF₄ガスを用いたドライエッチングによりエッチングし、80℃に加熱した水酸化カリウム水溶液にてシリコン基板81をエッチングする。この結果、長さ5.6μmの直径2μmミッド凹部58が形成された(図10(a)参照)。

[0078] 次に、真鍮板側の酸化シリコン膜55をCF₄ガスを用いたドライエッチングにより除去し、再び酸化シリコンをCVD法にて成膜した後、下電極54a、トンネル電流用チップ50及びトンネル電流増幅器59となる部分パターンニングし、スパッタリング法によりプラチナを1000Å成膜した電リフトオフする(図10(b)参照)。

[0079] 次に、駆動部分となる圧電体(2nO)バイモル膜を形成する。第1に、1層目の圧電体層53aを形成する。第2に、中電極層54bを形成する。第3に、2層目の圧電体層53bを形成する。第4に、上電極層54cを形成する。中電極層54b及び上電極層54cは下電極54aと同様の方法で作成する。2nOの成膜はRFスパッタリング装置を用いる。ターゲットは2nO、真鍮膜10、とA₂の混合ガスであり、O₂とA₂のガス圧比は1:1、O₂とA₂のガス圧比は、1.2mTorrである。この方法により2nOを1000Å成膜した後、レジストを用いた通常のフォトリソグラフ技術を用いてパターンニングし、水酸化アンモニウムと過酸化水素の水溶液にてエッチングして形成する(図10(c)参照)。

[0080] さらに、真鍮板側の酸化シリコン膜56をCF₄ガスを用いたドライエッチングによりバックエッチングし開口部58を形成し、真鍮板側シリコン膜80に加熱した水酸化カリウム水溶液にてシリコン基板81をエッチングする。

[0081] 最後に、真鍮板側の酸化シリコン膜55をCF₄ガスを用いたドライエッチングにより真鍮板側からエッチングし、カンテレー層5とすると(図10(d)参照)。

[0082] バイモル膜圧電体は駆動用の下電極をカンテレー層の長方向に分割し、左右それぞれの電極に異なる電圧を加えることにより上下方向のみで、左右方向にも駆動可能な構造とすることもできる。

[0083] 上記方法により作成されたプローブユニットはチップ先端が鋭利に形成されており、また、駆動のプローブユニットを作製した場合においても、駆動状態が一定であり特性の優れたものであった。

[0084] 実施例8

本実施例では、本発明第2のカンテレー層型プローブユニットを駆動器用いた情報記憶装置について述べる。

[0085] 図11に本発明の本実施例での情報記憶装置

図の主要構成及びブロック図を示す。また、図12に本装置のカンチレバー型プローブユニット及び記録媒体基盤の配線を示す。本図に基づいて説明すると、記録再生ヘッドには、本装置第8の記録媒体71によるカンチレバー型プローブユニットが接触配置されている。この接触プローブ50は、一端に媒体と対向する弾性記録媒体71に接触する。71は情報記録用の記録媒体、72は媒体とプローブとの間に電圧を印加するための接地電線、73は記録媒体ホルダーである。前記記録媒体71層は、トンネル電流用タイプ50から発生するトンネル電流により記録媒体表面の形状を凸型 (Stilifier, Appl. Phys., Lett. 5, 51 (4), 27, July, 1968, p. 244 (4) 参照) とした状態 (Fitzsimmons, Appl. Phys., Lett. 5, Vol. 5, No. 24 Dec., 1968, p. 244 (7) 参照) に変形することが可能な金属、半導体、酸化物、有機物、あるいは前記トンネル電流により電気的性質が変化 (たとえば電気メモリー効果を生ずる) する有機物等よりなる。前記電気的性質が変化する有機物等としては、特開第63-161652号公報に記載された材料が採用され、ラジカル・プロジェクト画よりなるものが好ましい。

[0086] 本装置における記録媒体の作製方法は、まずシリコン基盤の表面にCVD法にて1500Åの酸化シリコン膜を成膜する。次に、真鍮電流法によって50ÅのAuを300Å成膜し、レジスタAZ1370 (ヘキスト社製) を用いて接地電線72及び接地電線記録媒体パターンニングし、ヨウ素とヨウ化カリウムの水溶液にてエッチングする。その上にLiF膜によって80Å (スクアリウム・ビス-8-オクタルアズレン) を4層積層する。

[0087] 74は記録すべきデータを記録に用いた磁素子に記録するデータ展開回路、75はデータ展開回路で展開された信号を記録媒体71とタイプ50の間に電圧を印加することで記録媒体71上に記録するための記録電圧印加駆動である。タイプ50を記録媒体71に所定距離まで近づけ記録電圧印加駆動75によって例えば3V、幾50nsの短脈幅パルス電圧を印加すると、記録媒体71が特性変化を起こし電気抵抗の高い部分が生じる。メモースタージ76を用いて、この操作をタイプ50で記録媒体71面上で逐次しながら行うことによって情報の記録がなされる。図では示していないが、メモースタージ76による逐次の操作としては、内蔵型エレクトロニクス、平行化、逐次マイクローメータ、ボイスコイル、インテグローム等の制御機構を用いて行う。

[0088] 77はタイプ50と記録媒体71との間に電圧を印加して両面に流れるトンネル電流を抽出する記録電流抽出回路、78は記録電流抽出回路77の抽出したトンネル電流信号を伝達するデータ展開回路である。

る。再生時にはタイプ50と記録媒体71とを所定距離に押し、記録電圧より高い、例えば200mVのバイアス電圧をタイプ50と記録媒体71間に加える。この状態で記録媒体71上の記録データ列に沿ってタイプ50にて途中途中に記録電流抽出回路77を用いて抽出されるトンネル電流信号が記録データ信号に対応する。従って、この抽出したトンネル電流信号を電気増幅後出力して出力してデータ復調回路79で復調することにより再生データ信号を得られる。

[0089] 79はプローブ高さ検出回路である。このプローブ高さ検出回路79は記録電流抽出回路77の検出信号を受け、増幅とフィルタの作用による高周波の振動成分をカットして得た信号を低周波とし、この得た信号が一定になる際にタイプ50と記録媒体71との間隔が一定になるようにタイプ50と記録媒体71との間隔が一定になるようにタイプ50と記録媒体71との間隔が一定になるように制御する。これによりタイプ50と記録媒体71との間隔が一定になる。

[0090] 81はトラック検出回路である。トラック検出回路81はタイプ50で記録媒体71上に発生する際に、タイプ50のデータがこれに沿って記録されるべき記録、あるいは記録されたデータ列 (山下これらをトラックと呼ぶ) からのずれを検出する回路である。

[0091] 以上のデータ展開回路74、記録電圧印加駆動75、記録電流抽出回路77、データ復調回路79、プローブ高さ検出回路79、x、z軸駆動制御回路80、トラック検出回路81で記録再生用回路82を構成する。

[0092] 記録再生ヘッドにおいては、記録再生用回路82が記録媒体71に付する接触のプローブ及びその駆動回路それぞれに1つの駆動回路があり、各プローブによる記録、再生、各プローブの位置制御 (トラッキング、フォーカシング) の制御を独立して行っている。

[0093] 本装置の情報の記録媒体は記録再生ヘッドであるが、記録または再生のための装置、または発生型トンネル駆動であっても本発明が適用可能であることは言うまでもない。

[0094] 実施例9

本実施例では、本装置第8のカンチレバー型プローブユニットを接触用いた情報記録装置の別の形態について述べる。本装置の特徴は、カンチレバー型プローブを2次元に配置することによりプローブを高集中度としたことにある。図13及び図14に本装置の情報の記録媒体に用いたカンチレバー型プローブユニット及び記録媒体基盤の配線を示す。

[0095] 作製方法は実施例7とほぼ同じであるが、2層の電極層53a、53bの成膜条件を変え、カンチレバーの先端が下部に達した状態としている。さらに、層53の先端を削い込むことにより、トンネル電流用タイプ50の先端を幾51層まで下げることででき

る。本発明例においてはプローブユニットに用いるシリコン(100)基板6の厚さを100 μm 、カンチレバー長を1000 μm 、1端のZnOの厚さを5000 \AA とした。

[0096] ZnOの成長はRFスパッタリング装置を用いる。ターゲットはZnO、昇熱炉はO₂とArの混合ガスであり、O₂とArのガス圧比は1:1である。ZnO53a成長時の、O₂+Arガス圧は、15mTorrである。ZnO53b成長時の、O₂+Arガス圧は、10mTorrである。このように下層のZnO53aの膜厚が上層のZnO53bの膜厚よりより引く張り応力層となるようにスパッタ成長時のガス圧を制御することにより、カンチレバー2の先端を下向きに150 μm 反らすことができた。

[0097] 本発明例の情報処理装置のブロック図は実施例8と同様である。本発明例ではタイプ50を2次元に配置することにより実施例8よりも高密度で高速な記録、再生が可能となった。

[0098]

[発明の効果] 以上説明したように、本発明第1の微小チップの製造方法によれば、回路を形成した第一基板、すなわち微小チップの製造に繰り返し使用できるため、生産性の向上、製造コストの低減ができた。また第二基板上に記録、トラジャスタなどを含む信号処理回路素子を予め形成しておくことによりトンネル電流を検出し、得られた信号を伝送することが可能なプローブユニットを構築することが容易になった。更に、1端、2端あるいは3端箇所可能なアクチュエータを有するカンチレバー上に駆動用配線を形成させた第二基板を用いることにより微小チップを材料、記録媒体表面に独立に移送させることができるプローブユニットを簡単に構築することができるようになった。更にはまた、金属製の微小チップ材料を用いるため、STMプローブとして所望性の高い安定な特性が得られるようになった。

[0099] また、本発明第2のプローブユニットの製造方法によれば、基板基板の表面に結晶軸異方性エッチングにより凹部を形成し、凹部に導電性材料を埋め込ませて情報入力用の微小プローブを形成し、更に、突起部となる突起素子を形成することにより、均一な形状を持った複数の微小チップと突起素子とを有するプローブユニットを構築することができ、このプローブユニットを用いた定常型トンネル顕微鏡並びに情報処理装置は、信頼性の高い、且つ、高速処理可能な装置となる。

[図面の簡単な説明]

[図1] 本発明第1の微小チップの製造方法の主要工程の一例を示す断面図である。

[図2] 本発明第1の微小チップの製造方法の主要工程の他の一例を示す断面図である。

[図3] 本発明第1の微小チップをカンチレバー上に形成した主要工程の一例を示す断面図である。

[図4] 本発明第1の微小チップを信号処理回路素子及びカンチレバーが形成された第二基板上に形成した主要工程の一例を示す断面図である。

[図5] 本発明第1の微小チップを信号処理回路素子及びカンチレバーが形成された第二基板上に形成した主要工程の一例を示す断面図である。

[図6] 本発明第1の微小チップを信号処理回路素子及びカンチレバーが形成された第二基板上に形成した主要工程の一例を示す断面図である。

[図7] 本発明第1の微小チップを信号処理回路素子及びカンチレバーが形成された第二基板上に形成した主要工程の一例を示す断面図である。

[図8] 本発明第1の微小チップを用いたSTM装置の一例を示すブロック図である。

[図9] 本発明第2のプローブユニットの一例を示す断面図である。

[図10] 本発明第2のプローブユニットの製造方法の主要工程の一例を示す断面図である。

[図11] 本発明第2のプローブユニットを用いた情報処理装置の一例を示す主要構成及びブロック図である。

[図12] 本発明の情報処理装置におけるカンチレバー型プローブユニット及び記録媒体基板の機械的な配線例を示す断面図である。

[図13] 本発明の情報処理装置におけるカンチレバー型プローブユニット及び記録媒体基板の機械的な配線例を示す断面図である。

[図14] 本発明の情報処理装置におけるカンチレバー型プローブユニット及び記録媒体基板の機械的な配線例を示す断面図である。

[図15] 従来の微小チップの製造方法の主要工程を示す断面図である。

[図16] 従来の微小チップの製造工程断面図である。

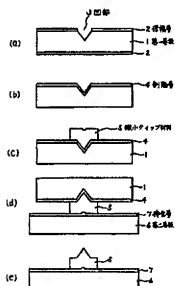
[符号の説明]

- 1 第一基板
- 2 凹部
- 3 凹部
- 4 埋め物
- 5 微小チップ材料
- 6 第二基板
- 7 結晶軸
- 8 結晶軸シリコン基板
- 9 シリコン膜層
- 10 片持り層
- 11 シリコン基板
- 12 酸化層
- 13 Pウェル
- 14 LOCOS層
- 15 ゲート酸化層
- 16 Polysil-gate

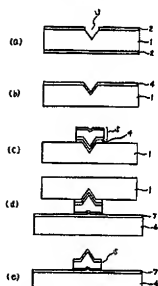
17 NMOSソース、ドレイン
 18 PMOSソース、ドレイン
 19 SiP60膜
 20 絶縁絶縁膜電極層
 21 保護層
 22 カンチレバー電極層
 23 圧電体層
 24 接続電極
 41 バイアス印加用電極
 42 トンネル電流電極層
 43 X-YZ駆動用ドライバ
 44 カンチレバー
 45 プローブ
 46 試料
 47 X-YZ駆動用ピエゾ素子
 50 ティップ
 51 基板基底
 52 カンチレバー
 53 a, 53 b 圧電体層
 54 a, 54 b, 54 c 電極層
 55, 56 マスク層
 57 エッチング開口部
 58 印刷
 59 トンネル電流用配線

60 バックエッチング開口部
 71 絶縁層
 72 下地電極
 73 記憶媒体カソード
 74 データ記録層
 75 記録電圧印加電極
 76 X-Yステージ
 77 記録信号検出電極
 78 データ検出層
 79 ブロープ溝を挿入図層
 80 a, z 駆動用制御電極
 81 トラップ検出電極
 82 記録再生用図層
 111 シリコン基板
 112 マスク
 113 二酸化シリコン層
 114 トレンチ (マスクホール)
 115 片持ち梁
 116 ティップ
 121 基板
 122 マスク
 123 ティップ
 124 レジスト開口部

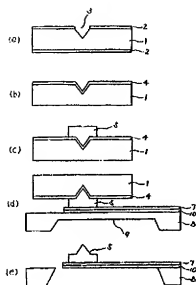
【図1】



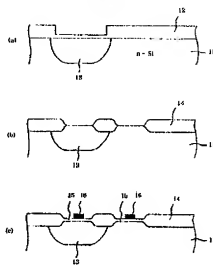
【図2】



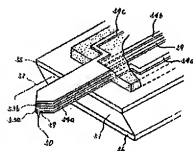
【图3】



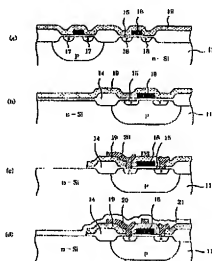
【图4】



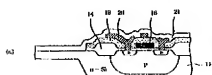
【图5】



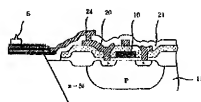
【图6】



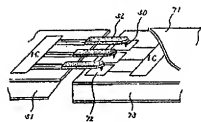
【図6】



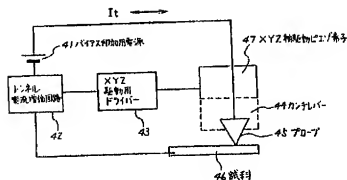
【図7】



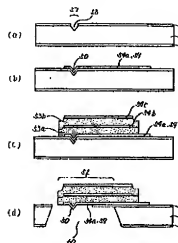
【図10】



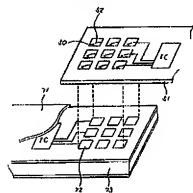
【図9】



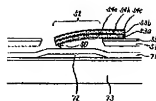
【図10】



【図14】

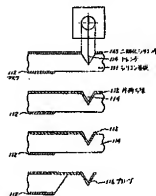


【図15】

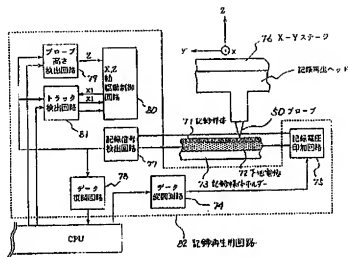


【図15】

(図15)



{ 1 1 }



フロンティアページの検索

〒723 倉崎町 島田 隆弘
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

（注）発明者 中山 俊
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内